

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 1 0 1 8 7
Application Number:

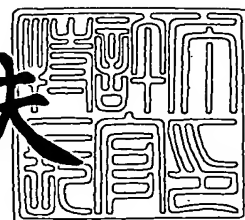
[ST. 10/C]: [J P 2 0 0 2 - 3 1 0 1 8 7]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 8 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 74112749

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04

【発明の名称】 半導体集積回路装置

【請求項の数】 23

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 富留宮 正之

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 大窪 宏明

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 中柴 康隆

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

 【電話番号】 03-3433-4221

【手数料の表示】

 【予納台帳番号】 009782

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 の電源に接続された第 1 導電型半導体基板と、この第 1 導電型半導体基板上又はこの第 1 導電型半導体基板の表面に設けられ第 2 の電源に接続された第 2 導電型半導体層と、この第 2 導電型半導体層上に設けられた素子形成部と、を有し、前記第 1 導電型半導体基板と前記第 2 導電型半導体層との境界にデカップリング容量が形成されることを特徴とする半導体集積回路装置。

【請求項 2】 前記第 2 導電型半導体層が前記第 1 導電型半導体基板上の全面又はこの第 1 導電型半導体基板の表面の全面に設けられており、前記第 1 導電型半導体基板における前記素子形成部側の面の裏側の面が前記第 1 の電源に接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記素子形成部が、前記第 2 導電型半導体層に接すると共に第 3 の電源に接続された第 1 導電型ウェルを有し、この第 1 導電型ウェルと前記第 2 導電型半導体層との境界に他のデカップリング容量が形成されることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】 前記素子形成部が、前記第 2 導電型半導体層に電氣的に接続された他の第 2 導電型半導体層と、この他の第 2 導電型半導体層上に設けられこの他の第 2 導電型半導体層に接すると共に第 3 の電源に接続された第 1 導電型ウェルと、を有し、この第 1 導電型ウェルと前記他の第 2 導電型半導体層との境界に他のデカップリング容量が形成されることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 5】 前記素子形成部が能動素子を有し、この能動素子は前記第 3 の電源に接続されていることを特徴とする請求項 3 又は 4 に記載の半導体集積回路装置。

【請求項 6】 前記第 3 の電源の電位が前記第 1 及び第 2 の電源の電位と異なることを特徴とする請求項 3 乃至 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 7】 前記第 1 導電型半導体基板が、基板本体と、この基板本体よ

りも抵抗率が低い表層部と、を有することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 8】 前記第 2 導電型半導体層が前記第 1 導電型半導体基板上又は前記第 1 導電型半導体基板の表面に局部的に設けられており、前記第 1 導電型半導体基板の表面における前記第 2 導電型半導体層が設けられていない領域上に素子形成部が設けられており、この素子形成部を介して前記第 1 導電型半導体基板は前記第 1 の電源に接続されていることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 9】 前記素子形成部が第 1 導電型ウエルを有し、前記第 1 導電型半導体基板は前記第 1 導電型ウエルを介して前記第 1 の電源に接続されていることを特徴とする請求項 8 に記載の半導体集積回路装置。

【請求項 10】 前記第 1 導電型半導体基板が、基板本体と、この基板本体よりも抵抗率が低い表層部と、を有することを特徴とする請求項 8 又は 9 に記載の半導体集積回路装置。

【請求項 11】 前記基板本体の抵抗率が $100\ \Omega \cdot \text{cm}$ 以上であることを特徴とする請求項 10 に記載の半導体集積回路装置。

【請求項 12】 前記第 2 導電型半導体層が前記素子形成部を介して前記第 2 の電源に接続されていることを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 13】 前記素子形成部が第 2 導電型ウエルを有し、前記第 2 導電型半導体層が前記第 2 導電型ウエルを介して前記第 2 の電源に接続されていることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】 第 1 の電源に接続された第 1 導電型半導体基板と、この第 1 導電型半導体基板上に設けられた素子形成部と、を有し、前記素子形成部は第 2 の電源に接続された第 2 導電型ウエルを有し、前記第 1 導電型半導体基板と前記第 2 導電型ウエルとの境界にデカップリング容量が形成されることを特徴とする半導体集積回路装置。

【請求項 15】 前記第 1 導電型半導体基板が、基板本体と、この基板本体よりも抵抗率が低い表層部と、を有することを特徴とする請求項 14 に記載の半

導体集積回路装置。

【請求項 16】 基板と、この基板上の少なくとも一部に設けられ第 1 の電源に接続された第 1 の第 1 導電型半導体層と、この第 1 の第 1 導電型半導体層上に設けられ第 2 の電源に接続された第 2 導電型半導体層と、この第 2 導電型半導体層上に設けられた素子形成部と、を有し、前記第 1 の第 1 導電型半導体層と前記第 2 導電型半導体層との境界にデカップリング容量が形成されることを特徴とする半導体集積回路装置。

【請求項 17】 前記第 1 の第 1 導電型半導体層が前記基板上に選択的に設けられており、前記第 1 の第 1 導電型半導体層及び前記第 2 導電型半導体層が設けられていない領域に設けられ前記第 1 の第 1 導電型半導体層及び前記第 1 の電源に接続された第 2 の第 1 導電型半導体層を有し、前記第 1 の第 1 導電型半導体層が前記第 2 の第 1 導電型半導体層及び前記素子形成部を介して前記第 1 の電源に接続されていることを特徴とする請求項 16 に記載の半導体集積回路装置。

【請求項 18】 前記素子形成部が第 1 導電型ウエルを有し、前記第 1 の第 1 導電型半導体層は前記第 2 の第 1 導電型半導体層及び前記第 1 導電型ウエルを介して前記第 1 の電源に接続されていることを特徴とする請求項 17 に記載の半導体集積回路装置。

【請求項 19】 前記基板と前記第 1 の第 1 導電型半導体層との間に設けられ前記第 1 の第 1 導電型半導体層及び前記第 2 の第 1 導電型半導体層に接続された第 3 の第 1 導電型半導体層を有することを特徴とする請求項 17 又は 18 に記載の半導体集積回路装置。

【請求項 20】 前記基板の抵抗率が $100\ \Omega \cdot \text{cm}$ 以上であることを特徴とする請求項 16 乃至 19 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 21】 前記第 2 導電型半導体層は前記素子形成部を介して前記第 2 の電源に接続されていることを特徴とする請求項 16 乃至 20 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 22】 前記素子形成部が第 2 導電型ウエルを有し、前記第 2 導電型半導体層は前記第 2 導電型ウエルを介して前記第 2 の電源に接続されていることを特徴とする請求項 21 に記載の半導体集積回路装置。

【請求項 23】 前記素子形成部が能動素子を有し、この能動素子は第3及び第4の電源に接続されており、前記第3の電源の電位が前記第1及び第2の電源の電位と異なることを特徴とする請求項14乃至22のいずれか1項に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデカップリング容量を備えた半導体集積回路装置に関し、特に、素子の高集積化を図った半導体集積回路装置に関する。

【0002】

【従来の技術】

近時、半導体集積回路装置の動作周波数が極めて高くなってきており、電源配線及びグラウンド配線に割り当てられる配線面積が益々増加する傾向にある。半導体集積回路装置を高周波で動作させると、一時的な電流スパイク等の電源電圧変動が発生しやすくなる。従来、この電源電圧変動を抑制するために、電源に並列にデカップリング容量を接続する技術が知られている。これにより電源ノイズを低減し、電源電圧の変動を抑制することができ、電源ノイズ及び電源電圧変動に起因する半導体集積回路の誤作動を防止することができる。この目的を達成するためには、電源に接続するデカップリング容量の大きさを、1個のチップ又はパッケージに対して数十 nF 程度の大きさとする必要がある。従来の半導体集積回路装置においては、素子形成領域であるコア部及び I/O 部の間の各辺に、デカップリング容量を配置する専用配置領域が設けられており、MOS (Metal Oxide Semiconductor: 金属酸化物半導体) によりデカップリング容量が形成されている。

【0003】

しかしながら、この従来の半導体集積回路装置においては、デカップリング容量の専用配置領域を設ける必要があるため、装置面積が増大し、その分、素子の集積度が低下するという問題点がある。

【0004】

このため、従来より、素子形成領域において、半導体基板上における素子の側方に多結晶シリコン層を形成し、この多結晶シリコン層と半導体基板の表面に形成された拡散層との間にデカップリング容量を形成する技術が開示されている（例えば、特許文献1参照。）。特許文献1には、これにより、デカップリング容量を設ける専用配置領域が不要になると記載されている。

【0005】

しかしながら、この従来の技術においては、素子形成領域における素子の側方にデカップリング容量を形成しているため、素子形成領域の面積が増大してしまうという問題点がある。

【0006】

また、半導体素子上に多層配線構造体を設け、その上に電極、誘電体膜及び電極をこの順に形成し、デカップリング容量を形成する技術も開示されている（例えば、特許文献2参照。）。特許文献2には、これにより、半導体装置内に大容量のデカップリング容量を設けることができると記載されている。

【0007】

【特許文献1】

特開平10-12825号公報（第3頁、第1図、第2図）

【特許文献2】

特開2002-124636号公報（第3-5頁、第7図）

【0008】

【発明が解決しようとする課題】

しかしながら、上述の従来の技術には以下に示すような問題点がある。特許文献2に記載された技術においては、多層配線構造体の上にデカップリング容量を設けているため、多層配線構造体上におけるデカップリング容量を設けた領域にはパッド電極等を設けることができない。このため、半導体集積回路装置のレイアウトが制約され、結果的に装置が大型化する。また、多層配線構造体上にデカップリング容量を設けるためには、少なくとも、下層の電極を形成する工程と、誘電体層を形成する工程と、上層の電極を形成する工程が必要となり、半導体集積回路装置の製造工程が煩雑化し、製造コストが増加する。

【0009】

本発明はかかる問題点に鑑みてなされたものであって、デカップリング容量を備えた半導体集積回路装置において、デカップリング容量を設けるための専用配置領域を必要とせず、製造が容易な半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明に係る半導体集積回路装置は、第1の電源に接続された第1導電型半導体基板と、この第1導電型半導体基板上又はこの第1導電型半導体基板の表面に設けられ第2の電源に接続された第2導電型半導体層と、この第2導電型半導体層上に設けられた素子形成部と、を有し、前記第1導電型半導体基板と前記第2導電型半導体層との境界にデカップリング容量が形成されることを特徴とする。

【0011】

本発明においては、第1導電型半導体基板と第2導電型半導体層との境界に、電源に並列に接続されたデカップリング容量が形成されるため、電源ノイズ及び電源電圧変動を抑制することができ、半導体集積回路装置の誤動作を防止することができる。また、このデカップリング容量を第1導電型半導体基板と第2導電型半導体層との界面に設けることにより、デカップリング容量を設けるための専用配置領域が不要となり、装置の小型化を図ることができる。更に、第2導電型半導体層を形成することによりデカップリング容量を形成することができるため、製造プロセスが煩雑化せず、製造が容易である。

【0012】

また、前記第2導電型半導体層が前記第1導電型半導体基板上の全面又はこの第1導電型半導体基板の表面の全面に設けられており、前記第1導電型半導体基板における前記素子形成部側の面の裏側の面が前記第1の電源に接続されていてよい。これにより、第1導電型半導体基板上又はその表面の全面にデカップリング容量を形成することができ、容量が大きいデカップリング容量を得ることができる。

【0013】

このとき、前記素子形成部が、前記第2導電型半導体層に接すると共に第3の電源に接続された第1導電型ウエルを有し、この第1導電型ウエルと前記第2導電型半導体層との境界に他のデカップリング容量が形成されていてもよい。又は、前記素子形成部が、前記第2導電型半導体層に電氣的に接続された他の第2導電型半導体層と、この他の第2導電型半導体層上に設けられこの他の第2導電型半導体層に接すると共に第3の電源に接続された第1導電型ウエルと、を有し、この第1導電型ウエルと前記他の第2導電型半導体層との境界に他のデカップリング容量が形成されていてもよい。これにより、前記デカップリング容量に並列に接続された他のデカップリングを形成することができる。この結果、デカップリング容量の合計容量を増大させることができる。そしてこのとき、前記素子形成部が能動素子を有し、この能動素子は前記第3の電源に接続されていてもよく、前記第3の電源の電位が前記第1及び第2の電源の電位と異なってもよい。これにより、能動素子を駆動させる電圧とデカップリング容量を形成する電圧とを相互に独立に設定し、夫々最適に調整することができる。

【0014】

又は、前記第2導電型半導体層が前記第1導電型半導体基板上又は前記第1導電型半導体基板の表面に局部的に設けられており、前記第1導電型半導体基板の表面における前記第2導電型半導体層が設けられていない領域上に素子形成部が設けられており、この素子形成部を介して前記第1導電型半導体基板は前記第1の電源に接続されていてもよい。これにより、デカップリング容量の面積を調整して容量の大きさを制御することができると共に、第1導電型半導体基板の裏面を第1の電源に接続する必要がなくなり、実装が容易になる。

【0015】

更に、前記第1導電型半導体基板が、基板本体と、この基板本体よりも抵抗率が低い表層部と、を有していてもよい。これにより、基板本体よりも抵抗率が低い第1導電型半導体基板の表層部と第2導電型半導体層との間にデカップリング容量を形成できるため、デカップリング容量の容量をより一層大きくすることができる。

【0016】

本発明に係る他の半導体集積回路装置は、第1の電源に接続された第1導電型半導体基板と、この第1導電型半導体基板上に設けられた素子形成部と、を有し、前記素子形成部は第2の電源に接続された第2導電型ウエルを有し、前記第1導電型半導体基板と前記第2導電型ウエルとの境界にデカップリング容量が形成されることを特徴とする。

【0017】

本発明においては、第1導電型半導体層と、素子形成部に形成された第2導電型ウエルとの界面に、電源に接続されたデカップリング容量が形成される。これにより、電源ノイズ及び電源電圧変動を抑制することができ、半導体集積回路装置の誤動作を防止することができる。また、デカップリング容量を設けるための専用配置領域が不要となり、装置の小型化を図ることができる。更に、第2導電型ウエルを形成することによりデカップリング容量を形成することができるため、製造プロセスが煩雑化せず、製造が容易である。

【0018】

本発明に係る更に他の半導体集積回路装置は、基板と、この基板上の少なくとも一部に設けられ第1の電源に接続された第1の第1導電型半導体層と、この第1の第1導電型半導体層上に設けられ第2の電源に接続された第2導電型半導体層と、この第2導電型半導体層上に設けられた素子形成部と、を有し、前記第1の第1導電型半導体層と前記第2導電型半導体層との境界にデカップリング容量が形成されることを特徴とする。

【0019】

本発明においては、第1の第1導電型半導体層と第2導電型半導体層との界面に、電源に接続されたデカップリング容量が形成される。これにより、電源ノイズ及び電源電圧変動を抑制することができ、半導体集積回路装置の誤動作を防止することができる。また、デカップリング容量を設けるための専用配置領域が不要となり、装置の小型化を図ることができる。更に、第2導電型半導体層を形成することによりデカップリング容量を形成することができるため、製造プロセスが煩雑化せず、製造が容易である。

【0020】

また、前記第1の第1導電型半導体層が前記基板上に選択的に設けられており、前記第1の第1導電型半導体層及び前記第2導電型半導体層が設けられていない領域に設けられ前記第1の第1導電型半導体層に接続された第2の第1導電型半導体層を有し、前記第1の第1導電型半導体層が前記素子形成部及び前記第2の第1導電型半導体層を介して前記第1の電源に接続されていてもよい。これにより、簡単な構成により、第1の第1導電型半導体層を第1の電源に接続することができる。

【0021】

更に、前記基板の抵抗率が $100\Omega\cdot\text{cm}$ 以上であることが好ましい。これにより、基板内をノイズが伝達することを抑制し、半導体集積回路装置の誤動作をより確実に防止することができる。

【0022】

更にまた、前記素子形成部が能動素子を有し、この能動素子は第3及び第4の電源に接続されており、前記第3の電源の電位が前記第1及び第2の電源の電位と異なることが好ましい。これにより、能動素子を駆動させる電圧とデカップリング容量を形成する電圧とを相互に独立に設定し、夫々最適に調整することができる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1は本実施形態に係る半導体集積回路装置を示す断面図である。図1に示すように、本実施形態に係る半導体集積回路装置1aにおいては、N型シリコン基板NSubが設けられている。N型シリコン基板NSubの抵抗率は例えば $10\Omega\cdot\text{cm}$ であり、N型シリコン基板NSubはその裏面（図示せず）から電源端子（図示せず）に接続されている。N型シリコン基板NSub上の全面には、P型エピタキシャル層PEpi2が形成されている。P型エピタキシャル層PEpi2の抵抗率は例えば $0.3\Omega\cdot\text{cm}$ である。なお、N型シリコン基板NSubの厚さは例えば0.3乃至0.6mmであり、P型エピタキシャル層PEpi2の厚さは例えば1乃至 $5\mu\text{m}$ であ

る。N型シリコン基板N S u b及びP型エピタキシャル層P E p i 2は、夫々電源電位及び接地電位が印加されることにより、界面にp n接合が形成され、キャパシタC 1が形成されるようになっている。即ち、図1に示すキャパシタC 1は、N型シリコン基板N S u bとP型エピタキシャル層P E p i 2との界面においてp n接合により形成されるデカップリング容量を等価的に示したものである。

【0024】

そして、P型エピタキシャル層P E p i 2上には素子形成部2が設けられている。素子形成部2においては、P型エピタキシャル層P E p i 1及び層間絶縁膜3が設けられており、P型エピタキシャル層P E p i 1の表面にはNウエルNW及びPウエルPWが形成されている。P型エピタキシャル層P E p i 1の抵抗率は例えば $10\Omega\cdot\text{cm}$ であり、厚さは例えば1乃至 $5\mu\text{m}$ である。そして、層間絶縁膜3はNウエルNW及びPウエルPW上に配置されている。P型エピタキシャル層P E p i 1及びNウエルNWは、夫々接地電位及び電源電位が印加されることにより、界面にp n接合が形成され、キャパシタC 6が形成されるようになっている。即ち、図1に示すキャパシタC 6は、P型エピタキシャル層P E p i 1とNウエルNWとの界面においてp n接合により形成されるデカップリング容量を等価的に示している。なお、このとき、キャパシタC 1及びC 6は相互に並列に接続される。

【0025】

NウエルNW及びPウエルPWの表面は素子分離膜Sにより区画されており、NウエルNWの表面における素子分離膜S間には夫々、 n^+ 拡散領域ND 1、pチャネルトランジスタP T r 1及びP T r 2並びにキャパシタC 11が設けられている。 n^+ 拡散領域ND 1上にはビアV 1が設けられており、ビアV 1上には配線W 1が設けられており、 n^+ 拡散領域ND 1はビアV 1を介して配線W 1に接続されている。 n^+ 拡散領域ND 1はビアV 1及び配線W 1を介して電源端子（図示せず）に接続されている。なお、 n^+ 拡散領域ND 1が接続されている電源端子は、N型シリコン基板N S u bが接続されている電源端子とは別の電源端子である。

【0026】

また、pチャネルトランジスタPTr1においては、NウエルNWの表面にソース・ドレインとなるp⁺拡散領域PD1及びPD2が形成されており、NウエルNWにおけるp⁺拡散領域PD1とPD2との間の領域がチャンネル領域となっている。そして、層間絶縁膜3中におけるチャンネル領域の上方には、ゲート電極G1が設けられている。即ち、NウエルNWとゲート電極G1との間には層間絶縁膜3の一部が介在し、ゲート絶縁膜となっている。また、p⁺拡散領域PD1上及びp⁺拡散領域PD2上には夫々ビアV2及びV3が設けられており、ビアV2及びV3上には夫々配線W2及びW3が設けられている。p⁺拡散領域PD1はビアV2を介して配線W2に接続されており、p⁺拡散領域PD2はビアV3を介して配線W3に接続されている。即ち、pチャネルトランジスタPTr1は、NウエルNW、p⁺拡散領域PD1及びPD2、ゲート電極G1、層間絶縁膜3から構成されている。

【0027】

同様に、pチャネルトランジスタPTr2は、NウエルNW、p⁺拡散領域PD3及びPD4、ゲート電極G2、層間絶縁膜3から構成されており、ソース・ドレインとなるp⁺拡散領域PD3及びPD4は夫々ビアV4及びV5を介して配線W4及びW5に接続されている。また、キャパシタC11においては、層間絶縁膜3中に電極層4が設けられており、NウエルNWと電極層4の間には層間絶縁膜3の一部が介在している。電極層4上にはビアV6が設けられており、ビアV6上には配線W6が設けられており、電極層4はビアV6を介して配線W6に接続されている。

【0028】

一方、PウエルPWの表面における素子分離膜S間には夫々、nチャネルトランジスタNTr1及びNTr2並びにp⁺拡散領域PD5が設けられている。pチャネルトランジスタPTr1及びPTr2と同様に、nチャネルトランジスタNTr1は、PウエルPW、ソース・ドレインとなるn⁺拡散領域ND2及びND3、ゲート電極G3、層間絶縁膜3から構成されており、n⁺拡散領域ND2及びND3は夫々ビアV7及びV8を介して配線W7及びW8に接続されている。また、nチャネルトランジスタNTr2は、PウエルPW、ソース・ドレイン

となる n^+ 拡散領域 ND 4 及び ND 5、ゲート電極 G 4、層間絶縁膜 3 から構成されており、 n^+ 拡散領域 ND 4 及び ND 5 は夫々ビア V 9 及び V 10 を介して配線 W 9 及び W 10 に接続されている。また、 p^+ 拡散領域 PD 5 上にはビア V 11 が設けられており、ビア V 11 上には配線 W 11 が設けられており、 p^+ 拡散領域 PD 5 はビア V 11 及び配線 W 11 を介して接地端子（図示せず）に接続されている。なお、素子形成部 2 において、ゲート電極 G 1 乃至 G 4 及び電極層 4 は同層に設けられており、配線 W 1 乃至 W 11 は同層に設けられている。

【0029】

半導体集積回路装置 1 a においては、P 型エピタキシャル層 PE p i 2 は、P 型エピタキシャル層 PE p i 1、P ウエル PW、 p^+ 拡散領域 PD 5、ビア V 11 及び配線 W 11 を介して接地端子に接続されている。また、N 型シリコン基板 NS u b は、電源端子に接続されている。これにより、N 型シリコン基板 NS u b と P 型エピタキシャル層 PE p i 2 との界面において p n 接合が形成され、これによりキャパシタ C 1 が形成される。また、P 型エピタキシャル層 PE p i 1 と N ウエル NW との界面においても p n 接合が形成され、キャパシタ C 6 が形成される。

【0030】

このように、本実施形態においては、N 型シリコン基板 NS u b と P 型エピタキシャル層 PE p i 2 との間にキャパシタ C 1 を形成することができる。また、P 型エピタキシャル層 PE p i 1 と N ウエル NW との間にキャパシタ C 6 を形成することができる。そして、このキャパシタ C 1 及び C 6 が電源に対するデカップリング容量として機能する。このため、半導体集積回路装置 1 a においては、デカップリング容量を設けるための専用配置領域を設けることなく大きな容量を形成し、電源ノイズを低減することができる。これにより、電源ノイズに起因する素子の誤動作を防止することができると共に、半導体集積回路装置 1 a を小型化することができる。

【0031】

また、本実施形態においては、素子形成部 2 の上方にデカップリング容量を設けていないため、素子形成部 2 のレイアウトが制約を受けることがない。これに

より、半導体集積回路装置 1 a の小型化を図ることができる。

【0032】

更に、本実施形態においては、 n^+ 拡散領域ND1が接続されている電源端子と、N型シリコン基板NSubが接続されている電源端子とが夫々別の電源に接続されている。これにより、 n^+ 拡散領域ND1に印加する電位とN型シリコン基板NSubに印加する電位とを相互に異ならせることができる。例えば、 n^+ 拡散領域ND1に印加してpチャネルトランジスタPTr1及びPTr2を駆動する電圧を1Vとし、N型シリコン基板NSubに印加して接地電位との間で容量を形成する電位を2Vとすることにより、pチャネルトランジスタPTr1及びPTr2を高速で駆動させると共に、キャパシタC1の容量を増大させることができる。なお、両電源端子を半導体集積回路装置 1 a の外部において相互に接続し、同一の電源（図示せず）に接続してもよい。これにより、回路構成を簡略化することができる。

【0033】

なお、本実施形態においては、第1導電型半導体基板としてのN型シリコン基板NSub上に、第2導電型半導体層としてP型エピタキシャル層PEpi2を形成する例を示したが、本発明はこれに限定されない。例えば、N型シリコン基板NSub上に素子形成部2を形成した後で、N型シリコン基板NSubの表層に、素子形成部2を透過するような高いエネルギーで不純物をイオン注入することにより、P型エピタキシャル層PEpi2と同じ不純物濃度を持つP型層を形成することができる。これにより、素子形成部2に影響を与えることなく、簡略なプロセスにより、P型エピタキシャル層PEpi2と等価なP型層を形成することができる。

【0034】

また、本実施形態においては、基板としてN型シリコン基板NSubを使用する例を示したが、基板としてP型シリコン基板を使用してもよい。この場合は、P型シリコン基板上にN型エピタキシャル層又はイオン注入により形成されるN型層を形成し、P型シリコン基板とN型エピタキシャル層との間にキャパシタを形成する。また、基板としてシリコン基板以外の半導体基板を使用してもよい。

また、NウエルNWの下面はP型エピタキシャル層PEpi2に接していてもよい。この場合、NウエルNWとP型エピタキシャル層PEpi2との界面に、キャパシタC6が形成される。

【0035】

次に、本発明の第2の実施形態について説明する。図2は本実施形態に係る半導体集積回路装置を示す断面図である。図2に示すように、本実施形態に係る半導体集積回路装置1bにおいては、P型シリコン基板PSubが設けられている。P型シリコン基板PSubの抵抗率は例えば $10\Omega\cdot\text{cm}$ である。P型シリコン基板PSub上の全面には、P型エピタキシャル層PEpi2が形成されている。P型エピタキシャル層PEpi2の抵抗率は例えば $0.3\Omega\cdot\text{cm}$ であり、厚さは例えば1乃至 $5\mu\text{m}$ である。P型エピタキシャル層PEpi2上には素子形成部2が設けられている。素子形成部2の構成は、前述の第1の実施形態と同様である。即ち、素子形成部2においては、P型エピタキシャル層PEpi1が設けられており、P型エピタキシャル層PEpi1の表面にはNウエルNW及びPウエルPWが交互に設けられている。なお、NウエルNW及びPウエルPWの下面は、P型エピタキシャル層PEpi2には接していない。

【0036】

本実施形態に係る半導体集積回路装置1bにおいて、P型エピタキシャル層PEpi1は、PウエルPW、 p^+ 拡散領域PD5、ビアV11及び配線W11を介して接地端子（図示せず）に接続されている。また、NウエルNWは、 n^+ 拡散領域ND1、ビアV1及び配線W1を介して電源端子（図示せず）に接続されている。これにより、P型エピタキシャル層PEpi1とNウエルNWとの界面においてpn接合が形成され、キャパシタC7が形成される。

【0037】

このように、本実施形態においては、P型エピタキシャル層PEpi1とNウエルNWとの間に、キャパシタC7を形成することができる。このキャパシタC7が電源に並列に接続されたデカップリング容量となる。即ち、図2に示すキャパシタC7は、P型エピタキシャル層PEpi1とNウエルNWとの界面においてpn接合により形成されるデカップリング容量を等価的に示したものである。

本実施形態においては、前述の第1の実施形態と比較して、デカップリング容量を局部的に形成できるため、電源ノイズが発生しやすい領域及びノイズの影響を受けやすい領域の近くに専用の容量を配置することができる。これにより、電源ノイズが回路に及ぼす悪影響を効果的に抑制することができる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

【0038】

なお、本実施形態においては、NウエルNW及びPウエルPWの下面が、P型エピタキシャル層PEpi2に接していない例を示したが、NウエルNW及びPウエルPWの下面がP型エピタキシャル層PEpi2の上面に接していてもよい。この場合、NウエルNWとP型エピタキシャル層PEpi2との界面において、キャパシタが形成される。また、P型シリコン基板PSubは、その裏面が電源端子に接続されていてもよい。

【0039】

次に、本発明の第3の実施形態について説明する。図3は本実施形態に係る半導体集積回路装置を示す断面図であり、図4(a)及び(b)は横軸に半導体集積回路装置における深さ方向の位置をとり、縦軸に不純物濃度をとって、半導体集積回路装置における濃度分布を示すグラフ図であり、(a)は本実施形態に係る半導体集積回路装置1cの濃度分布を示し、(b)は前述の第1の実施形態に係る半導体集積回路装置1aの濃度分布を示す。

【0040】

図3に示すように、本実施形態に係る半導体集積回路装置1cにおいては、N型シリコン基板NSubが設けられている。N型シリコン基板NSubの抵抗率は例えば $10\Omega\cdot\text{cm}$ であり、N型シリコン基板NSubはその裏面(図示せず)から電源端子(図示せず)に接続されている。N型シリコン基板NSub上全面には、N型エピタキシャル層NEpi1が形成されている。N型エピタキシャル層NEpi1の抵抗率は例えば $0.3\Omega\cdot\text{cm}$ であり、厚さは例えば1乃至 $5\mu\text{m}$ である。また、N型エピタキシャル層NEpi1上にはP型エピタキシャル層PEpi2が形成されている。P型エピタキシャル層PEpi2の抵抗率は例えば $0.3\Omega\cdot\text{cm}$ である。そして、P型エピタキシャル層PEpi2上には

素子形成部 2 が設けられている。素子形成部 2 の構成は前述の第 1 の実施形態と同様である。

【0041】

図 4 (a) に示すように、本実施形態の半導体集積回路装置 1 c の P 型エピタキシャル層 P E p i 1 においては、その表面から P 型エピタキシャル層 P E p i 2 との界面まで、不純物濃度が例えば 1×10^{15} 個 / cm^3 である。また、P 型エピタキシャル層 P E p i 2 においては、不純物濃度が例えば 1×10^{17} 個 / cm^3 である。更に、N 型エピタキシャル層 N E p i 1 においては、不純物濃度が例えば 1×10^{17} 個 / cm^3 となっている。更にまた、N 型シリコン基板 N S u b においては、不純物濃度が例えば 1×10^{15} 個 / cm^3 で深さ方向について一定である。そして、P 型エピタキシャル層 P E p i 2 と N 型エピタキシャル層 N E p i 1 との界面において、不純物濃度が高い p n 接合が実現されている。これにより、P 型エピタキシャル層 P E p i 2 と N 型エピタキシャル層 N E p i 1 との界面にキャパシタ C 2 (図 3 参照) が形成される。キャパシタ C 2 は、電源に並列に接続されたデカップリング容量として機能する。

【0042】

なお、図 4 (b) に示すように、前述の第 1 の実施形態に係る半導体集積回路装置 1 a においては、N 型エピタキシャル層 N E p i 1 が設けられていないため、N 型シリコン基板 N S u b と P 型エピタキシャル層 P E p i 2 との間に p n 接合が形成される。このため、図 4 (b) に示す第 1 の実施形態における p n 接合界面の不純物濃度は、図 4 (a) に示す本実施形態の p n 接合界面の不純物濃度よりも低くなっている。

【0043】

本実施形態においては、N 型シリコン基板 N S u b と P 型エピタキシャル層 P E p i 2 との間に N 型エピタキシャル層 N E p i 1 を設けることにより、前述の第 1 の実施形態と比較して、より不純物濃度が高い p n 接合を実現することができる。これにより、本実施形態の半導体集積回路装置 1 c におけるキャパシタ C 2 の容量は、前述の第 1 の実施形態におけるキャパシタ C 1 の容量よりも大きくなる。本実施形態における上記以外の構成は、前述の第 1 の実施形態と同様であ

る。

【0044】

次に、本発明の第4の実施形態について説明する。図5は本実施形態に係る半導体集積回路装置を示す断面図である。図5に示すように、本実施形態に係る半導体集積回路装置1dにおいては、抵抗率が例えば $10\Omega\cdot\text{cm}$ であるN型シリコン基板NSubが設けられている。なお、前述の第1及び第2の実施形態と異なり、N型シリコン基板NSubの裏面は電源端子に接続されていない。そして、N型シリコン基板NSubの表面には、 p^+ 拡散領域PD6が選択的に形成されている。 p^+ 拡散領域PD6の抵抗率は例えば $0.01\Omega\cdot\text{cm}$ であり、深さは例えば 0.5 乃至 $2\mu\text{m}$ である。

【0045】

また、N型シリコン基板NSub上には素子形成部2が設けられている。素子形成部2の構成は前述の第1の実施形態と同様である。更に、N型シリコン基板NSubの表面における p^+ 拡散領域PD6が形成されていない領域であって、素子形成部2のNウエルNWの直下域に相当する領域には、P型エピタキシャル層PEpilと同層で n^+ 拡散領域ND6が形成されている。この n^+ 拡散領域ND6がコンタクト領域となり、N型シリコン基板NSubとNウエルNWとの間の導通を確保している。

【0046】

これにより、N型シリコン基板NSubには、電源端子（図示せず）より、配線W1、ビアV1、 n^+ 拡散領域ND1、NウエルNW及び n^+ 拡散領域ND6を介して電源電位が印加される。一方、 p^+ 拡散領域PD6には、接地端子（図示せず）より、配線W11、ビアV11、 p^+ 拡散領域PD5、PウエルPW、P型エピタキシャル層PEpilを介して接地電位が印加される。この結果、N型シリコン基板NSubと p^+ 拡散領域PD6との界面には、キャパシタC3が形成される。

【0047】

本実施形態においては、このキャパシタC3が電源に接続されたデカップリング容量として機能する。また、本実施形態においては、 p^+ 拡散領域PD6の面

積を制御することにより、キャパシタ C 3 の面積を制御し、キャパシタ C 3 の容量を制御することができる。更に、N 型シリコン基板 N S u b に配線 W 1 から電源電位が印加されるため、N 型シリコン基板 N S u b の裏面を電源端子に接続する必要がなく、パッケージへの実装が容易である。本実施形態における上記以外の効果は、前述の第 1 の実施形態と同様である。

【0048】

次に、本発明の第 5 の実施形態について説明する。図 6 は本実施形態に係る半導体集積回路装置を示す断面図である。図 6 に示すように、本実施形態は前述の第 3 の実施形態と第 4 の実施形態とを組み合わせた例である。即ち、図 6 に示すように、本実施形態に係る半導体集積回路装置 1 e においては、N 型シリコン基板 N S u b が設けられている。N 型シリコン基板 N S u b の裏面は電源端子に接続されていない。そして、N 型シリコン基板 N S u b 上には N 型エピタキシャル層 N E p i 1 が形成されている。N 型エピタキシャル層 N E p i 1 の抵抗率は例えば $0.3 \Omega \cdot \text{cm}$ である。N 型エピタキシャル層 N E p i 1 の表面には、 p^+ 拡散領域 P D 6 が選択的に形成されている。 p^+ 拡散領域 P D 6 の抵抗率は例えば $0.01 \Omega \cdot \text{cm}$ である。

【0049】

また、N 型エピタキシャル層 N E p i 1 上には素子形成部 2 が設けられている。素子形成部 2 の構成は前述の第 1 の実施形態と同様である。更に、N 型エピタキシャル層 N E p i 1 の表面における p^+ 拡散領域 P D 6 が形成されていない領域であって、素子形成部 2 の N ウエル N W の直下域に相当する領域には、P 型エピタキシャル層 P E p i 1 と同層で n^+ 拡散領域 N D 6 が形成されている。この n^+ 拡散領域 N D 6 がコンタクト領域となり、N 型エピタキシャル層 N E p i 1 と N ウエル N W との間の導通を確保している。

【0050】

これにより、N 型エピタキシャル層 N E p i 1 には、図 1 に示す配線 W 1、ビア V 1、 n^+ 拡散領域 N D 1、N ウエル N W 及び n^+ 拡散領域 N D 6 を介して電源電位が印加される。一方、 p^+ 拡散領域 P D 6 には、配線 W 1 1、ビア V 1 1、 p^+ 拡散領域 P D 5、P ウエル P W、P 型エピタキシャル層 P E p i 1 を介し

て接地電位が印加される。この結果、N型エピタキシャル層NE p i 1とp⁺拡散領域PD 6との界面には、キャパシタC 4が形成される。

【0051】

本実施形態においては、このキャパシタC 4が電源に対するデカップリング容量として機能する。N型エピタキシャル層NE p i 1の不純物濃度はN型シリコン基板NS u bの不純物濃度よりも高いため、キャパシタC 4の容量は、前述の第3の実施形態におけるキャパシタC 3の容量よりも大きくなる。また、N型エピタキシャル層NE p i 1に配線W 1から電源電位が印加されるため、N型シリコン基板NS u bの裏面を電源端子に接続する必要がない。

【0052】

更に、本実施形態においては、N型シリコン基板NS u bには電流が流れる必要がないため、N型シリコン基板NS u bは任意の基板に置き換えることができる。例えば、基板として抵抗率が100Ω・cm以上の高抵抗基板を使用することにより、基板中をノイズ電流が流れることを抑制できる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

【0053】

次に、本発明の第6の実施形態について説明する。図7は本実施形態に係る半導体集積回路装置を示す断面図である。図7に示すように、本実施形態に係る半導体集積回路装置1 fにおいては、高抵抗基板HS u bが設けられている。高抵抗基板HS u bの抵抗率は例えば100Ω・cm以上である。高抵抗基板HS u b上にはP型エピタキシャル層PE p i 2が形成されている。P型エピタキシャル層PE p i 2の抵抗率は例えば0.3Ω・cmである。P型エピタキシャル層PE p i 2上には素子形成部1 2が設けられている。

【0054】

素子形成部1 2においては、P型エピタキシャル層PE p i 2上に選択的にP型エピタキシャル層PE p i 3が設けられている。P型エピタキシャル層PE p i 3の抵抗率は例えば10Ω・cmであり、厚さは例えば1乃至5μmである。また、P型エピタキシャル層PE p i 3が設けられていない領域には、選択的にp⁺拡散領域PD 7が設けられており、p⁺拡散領域PD 7上にはn⁺拡散領域

ND7が設けられている。p⁺拡散領域PD7の抵抗率は例えば $1\ \Omega \cdot \text{cm}$ であり、n⁺拡散領域ND7の抵抗率は例えば $1\ \Omega \cdot \text{cm}$ である。p⁺拡散領域PD7及びn⁺拡散領域ND7の合計の膜厚はP型エピタキシャル層PEpi3の膜厚と等しくなっており、p⁺拡散領域PD7及びn⁺拡散領域ND7からなる2層膜はP型エピタキシャル層PEpi3と同層に形成されている。そして、P型エピタキシャル層PEpi3上にはPウエルPWが設けられており、n⁺拡散領域ND7上にはNウエルNWが設けられている。素子形成部12における上記以外の構成は、前述の第1の実施形態における素子形成部2（図1参照）の構成と同じである。

【0055】

本実施形態に係る半導体集積回路装置1fにおいては、配線W1、ビアV1、n⁺拡散領域ND1及びNウエルNWを介して、n⁺拡散領域ND7に電源電位が印加される。また、配線W11、ビアV11、p⁺拡散領域PD5、PウエルPW、P型エピタキシャル層PEpi3及びP型エピタキシャル層PEpi2を介して、p⁺拡散領域PD7に接地電位が印加される。これにより、p⁺拡散領域PD7とn⁺拡散領域ND7との界面に、キャパシタC5が形成される。

【0056】

本実施形態においては、キャパシタC5が、電源に並列に接続されたデカップリング容量として機能する。また、基板として抵抗率が $100\ \Omega \cdot \text{cm}$ 以上の高抵抗基板HSubを使用することにより、基板中をノイズ電流が流れることを抑制できる。更に、本実施形態においては、前述の第1の実施形態と比較して、デカップリング容量をNウエルNWの直下域に選択的に形成することができる。このため、半導体集積回路装置1fにおいて、電源ノイズが発生しやすい回路領域及びノイズの影響を受けやすい回路領域の近傍に専用のデカップリング容量を配置することができる。これにより、電源ノイズが回路に及ぼす悪影響を効果的に抑制することができ、ノイズ抑制効果の実効性が向上する。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

【0057】

なお、本実施形態においては、NウエルNWの直下域にキャパシタC5を形成

する例を示したが、本発明はこれに限定されず、PウエルPWの直下域にキャパシタを形成してもよい。この場合は、高抵抗基板HSub上にN型層、例えばN型エピタキシャル層を設け、その上に n^+ 拡散領域及び p^+ 拡散領域をこの順に形成し、この p^+ 拡散領域がPウエルに接続されるようにすればよい。

【0058】

【発明の効果】

以上詳述したように、本発明によれば、第1導電型半導体基板と第2導電型半導体層との界面に電源に並列に接続されたデカップリング容量が形成されるため、電源ノイズ及び電源電圧変動を抑制することができる。これにより、半導体集積回路装置の誤動作を防止することができる。また、デカップリング容量を設けるための専用配置領域が不要となり、装置の小型化を図ることができる。更に、第2導電型半導体層を形成することによりキャパシタを形成することができるため、キャパシタを容易に形成することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態に係る半導体集積回路装置を示す断面図である。

【図2】

本発明の第2の実施形態に係る半導体集積回路装置を示す断面図である。

【図3】

本発明の第3の実施形態に係る半導体集積回路装置を示す断面図である。

【図4】

(a) 及び (b) は横軸に半導体集積回路装置における深さ方向の位置をとり、縦軸に不純物濃度をとって、半導体集積回路装置における濃度分布を示すグラフ図であり、(a) は第3の実施形態に係る半導体集積回路装置1cの濃度分布を示し、(b) は第1の実施形態に係る半導体集積回路装置1aの濃度分布を示す。

【図5】

本発明の第4の実施形態に係る半導体集積回路装置を示す断面図である。

【図6】

本発明の第5の実施形態に係る半導体集積回路装置を示す断面図である。

【図7】

本発明の第6の実施形態に係る半導体集積回路装置を示す断面図である。

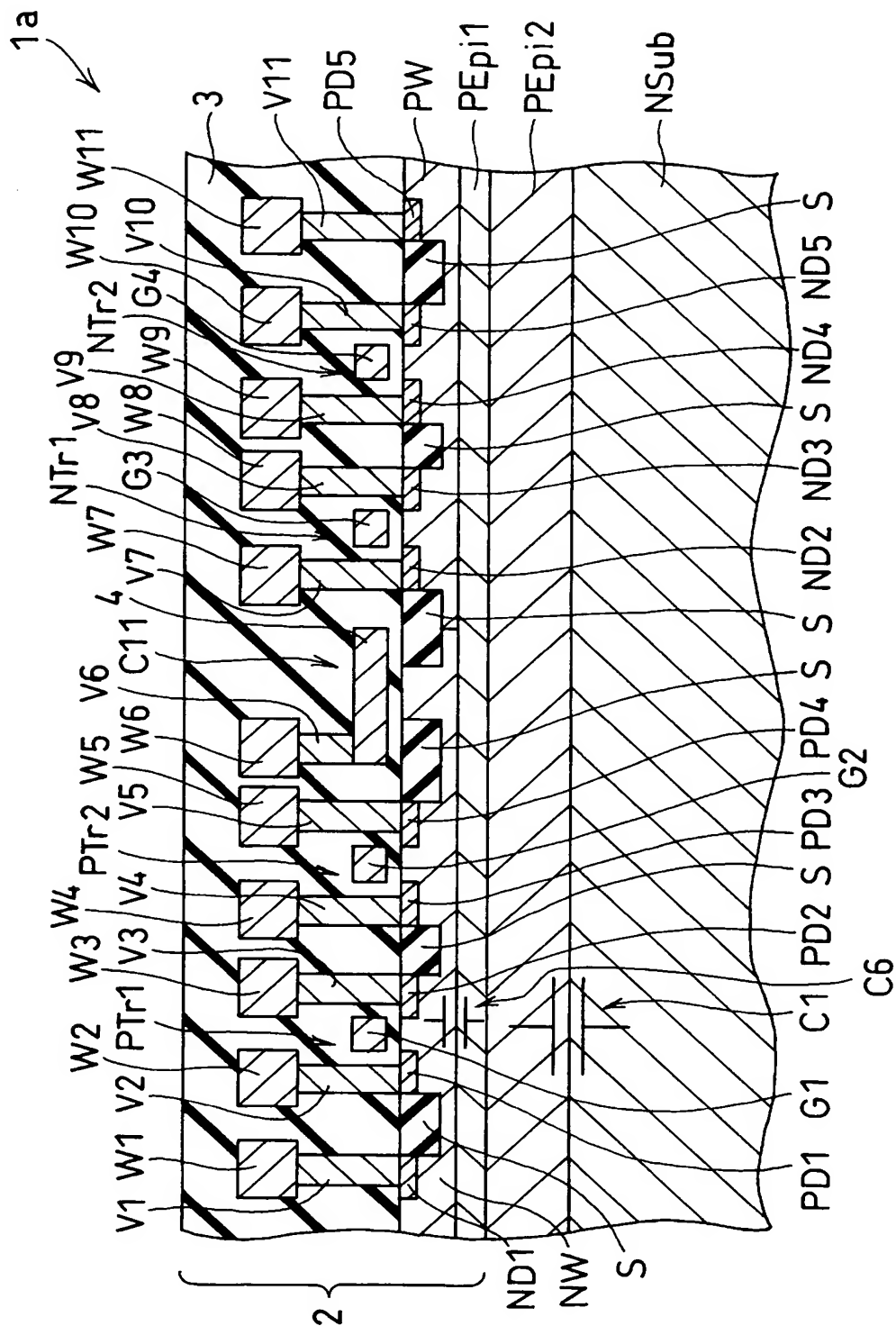
【符号の説明】

1 a ~ 1 f ; 半導体集積回路装置
2、12 ; 素子形成部
3 ; 層間絶縁膜
4 ; 電極層
C1 ~ C7、C11 ; キャパシタ
G1 ~ G4 ; ゲート電極
HSub ; 高抵抗基板
NSub ; N型シリコン基板
PSub ; P型シリコン基板
ND1 ~ ND7 ; n⁺拡散領域
PD1 ~ PD7 ; p⁺拡散領域
NEpi1 ; N型エピタキシャル層
PEpi1、PEpi2、PEpi3 ; P型エピタキシャル層
NSub ; N型シリコン基板
NTr1、NTr2 ; nチャネルトランジスタ
PTr1、PTr2 ; pチャネルトランジスタ
NW ; Nウエル
PW ; Pウエル
S ; 素子分離膜
V1 ~ V11 ; ビア
W1 ~ W11 ; 配線

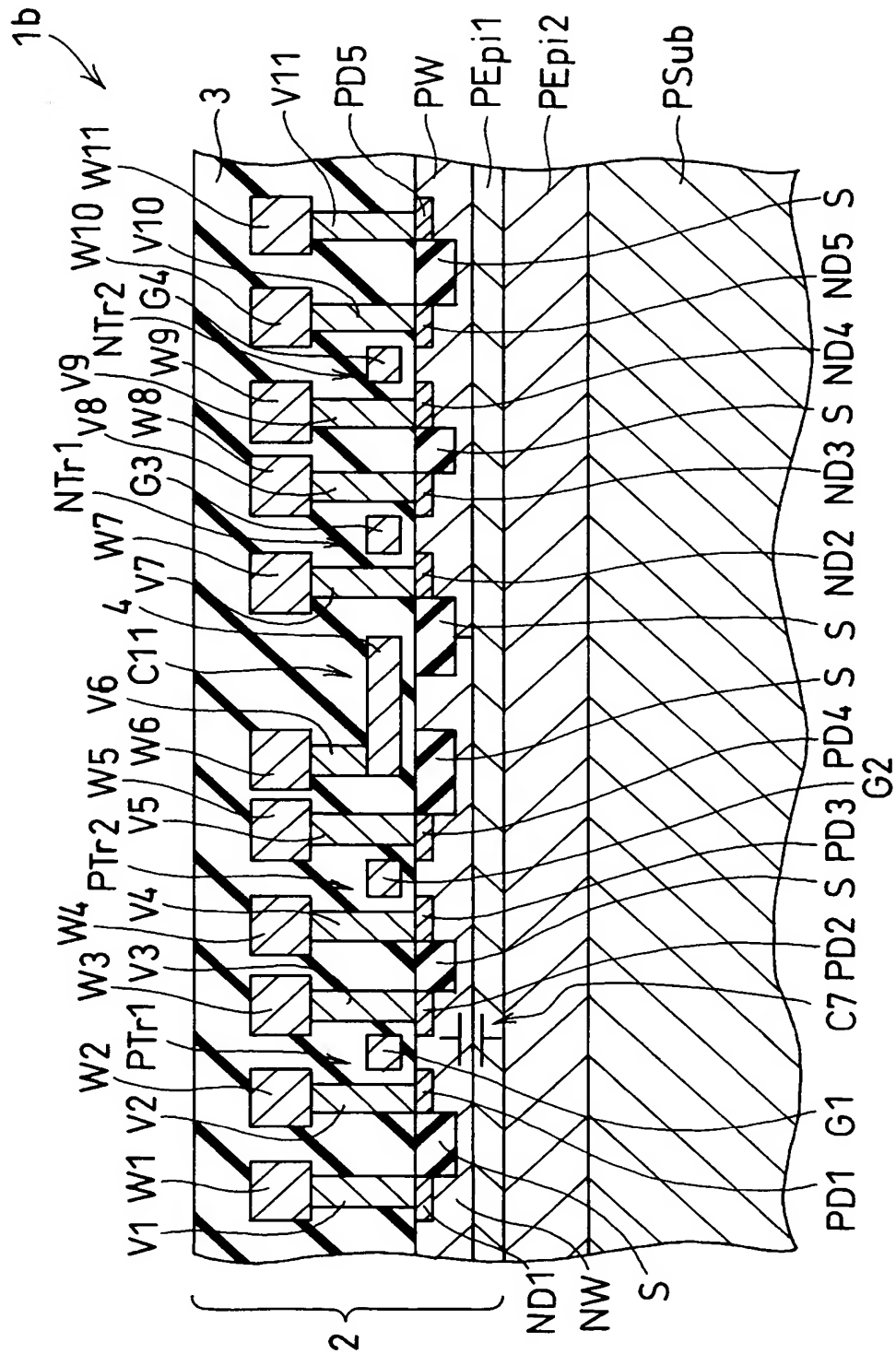
【書類名】

図面

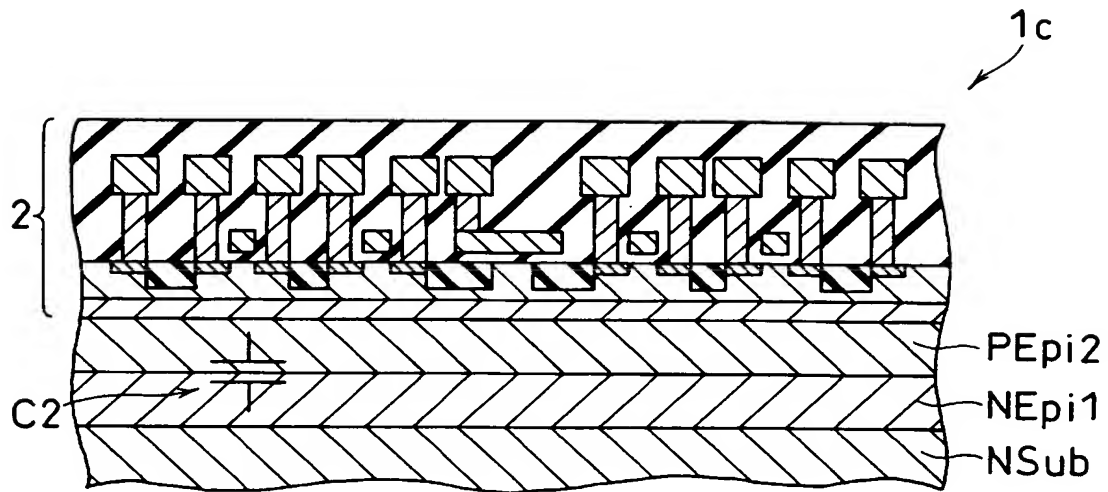
【図 1】



【図 2】

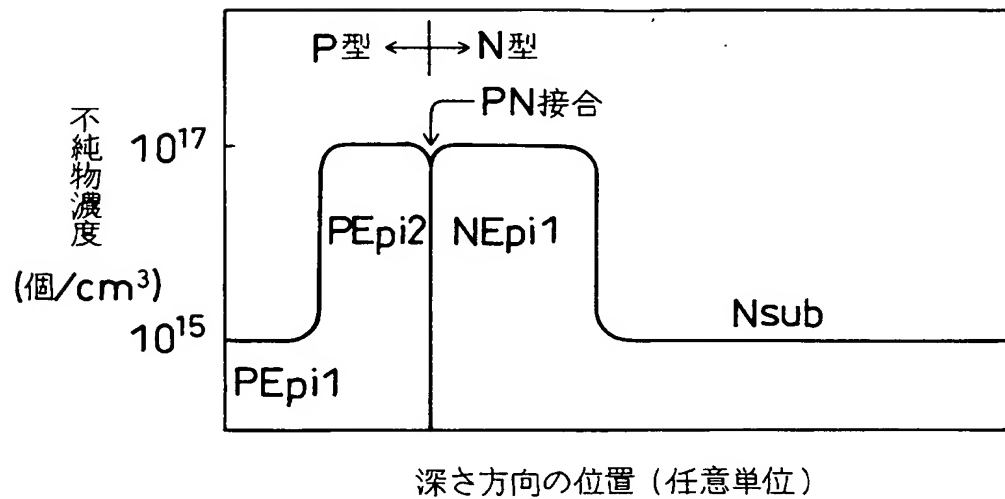


【図 3】

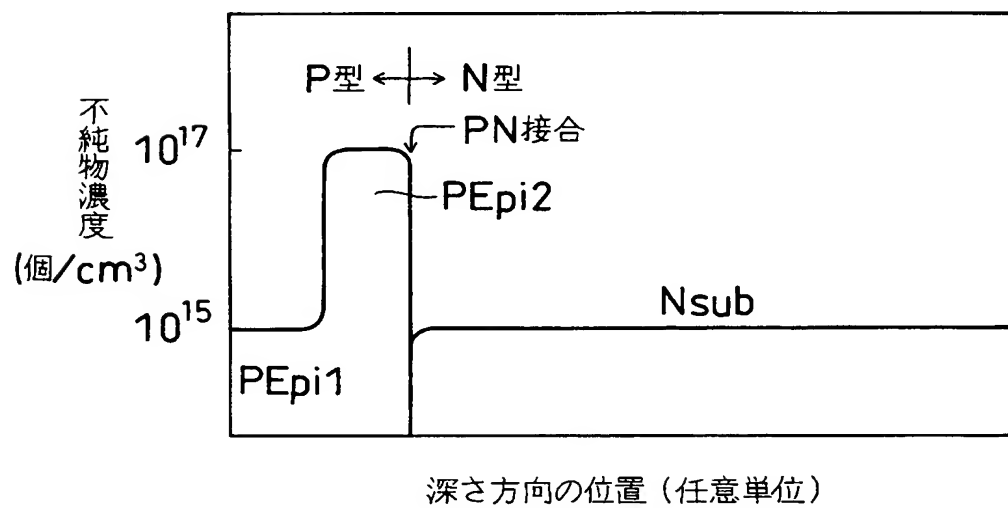


1c ; 半導体集積回路装置 2 ; 素子形成部 C2 ; キャパシタ
NEpi1 ; N型エピタキシャル層 NSub ; N型シリコン基板
PEpi2 ; P型エピタキシャル層

【図 4】

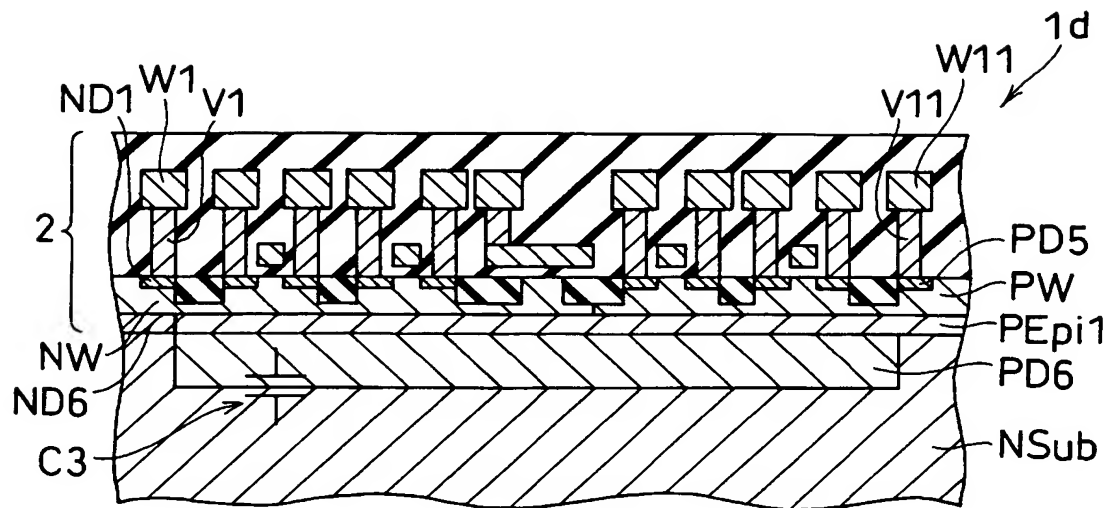


(a)



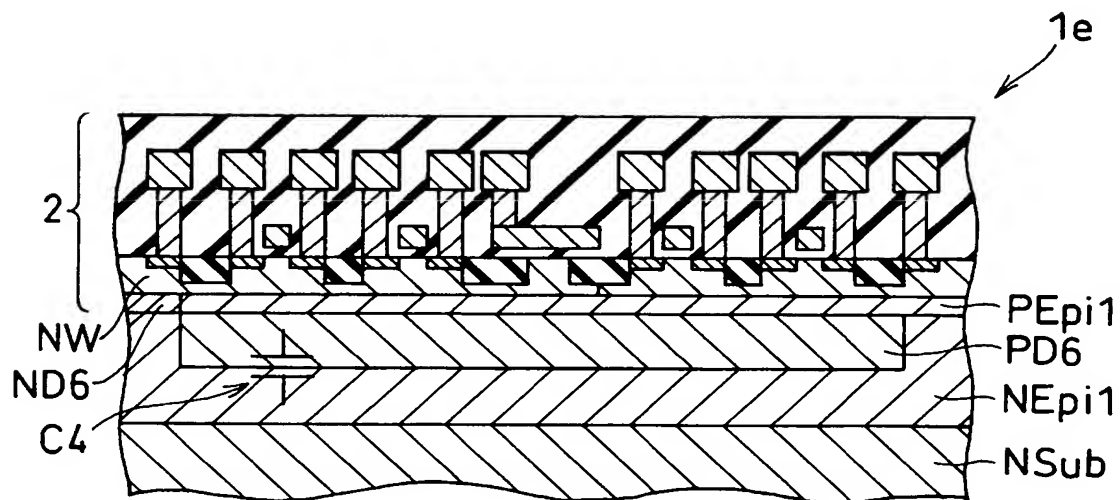
(b)

【図 5】



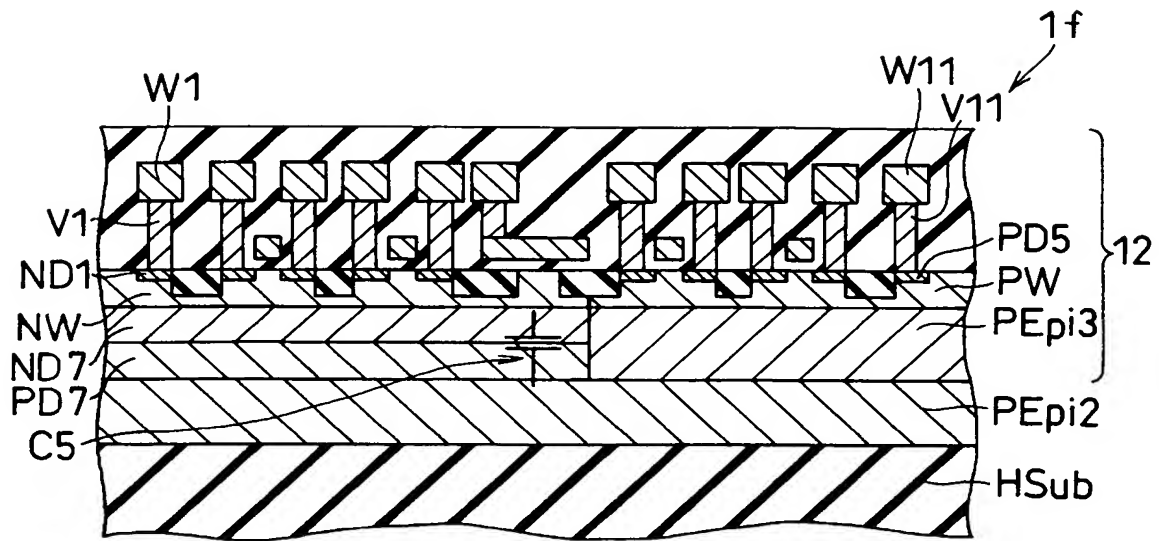
1d ; 半導体集積回路装置 C3 ; キャパシタ
 PEpi1 ; P型エピタキシャル層 NW ; Nウエル PW ; Pウエル
 ND1, ND6 ; n⁺拡散領域 PD5, PD7 ; p⁺拡散領域
 V1, V11 ; ビア W1, W11 ; 配線

【図 6】



1e ; 半導体集積回路装置 C4 ; キャパシタ

【図 7】



12 ; 素子形成部

HSub ; 高抵抗基板

【書類名】 要約書

【要約】

【課題】 デカップリング容量を備えた半導体集積回路装置において、デカップリング容量を設けるための専用配置領域を必要とせず、製造が容易な半導体集積回路装置を提供する。

【解決手段】 N型シリコン基板N S u bの裏面を電源端子に接続し、N型シリコン基板N S u b上の全面にP型エピタキシャル層P E p i 2を形成し、その上に素子形成部2を設ける。素子形成部2には、P型エピタキシャル層P E p i 1及び層間絶縁膜3を設け、P型エピタキシャル層P E p i 1の表面にはNウエルN W及びPウエルP Wを形成する。そして、P型エピタキシャル層P E p i 2を、P型エピタキシャル層P E p i 1、PウエルP W、p⁺拡散領域P D 5、ビアV 1 1及び配線W 1 1を介して接地端子に接続する。これにより、P型エピタキシャル層P E p i 2とN型シリコン基板N S u bとの界面にp n接合が形成され、キャパシタC 1が形成される。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 1 0 1 8 7
受付番号	5 0 2 0 1 6 0 6 2 9 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 2 5 日

< 認定情報・付加情報 >

【提出日】	平成14年10月24日
-------	-------------

次頁無

【書類名】 出願人名義変更届（一般承継）

【整理番号】 74112749

【提出日】 平成15年 1月29日

【あて先】 特許庁長官 殿

【事件の表示】

 【出願番号】 特願2002-310187

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100090158

 【弁理士】

 【氏名又は名称】 藤巻 正憲

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成 1 5 年 1 月 1 0 日提出の特願 2 0 0 2 - 3 1 8 4 8
8 の出願人名義変更届に添付のものを援用する。

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 平成 1 5 年 1 月 2 3 日提出の平成 1 1 年特許願第 0 3 1
1 8 4 号の出願人名義変更届に添付のものを援用する。

 【包括委任状番号】 0216549

【プルーフの要否】 要

特願 2 0 0 2 - 3 1 0 1 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 4 2 3 7]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

特願 2 0 0 2 - 3 1 0 1 8 7

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社